




Stacked via with specially designed landing pad for integrated semiconductor structures

Patent number: DE19939852
Publication date: 2001-03-15
Inventor: BAUCH LOTHAR (DE); ZELL THOMAS (DE); LEHR MATTHIAS UWE (DE); KIESLICH ALBRECHT (DE)
Applicant: INFINEON TECHNOLOGIES AG (DE)
Classification:
- **international:** **H01L23/522; H01L23/528; H01L23/52;** (IPC1-7):
H01L23/522; H01L21/28; H01L21/768
- **europaean:** H01L23/522E; H01L23/528
Application number: DE19991039852 19990823
Priority number(s): DE19991039852 19990823

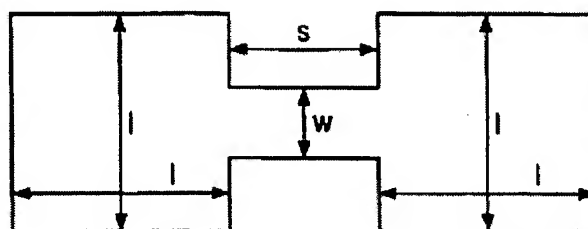
Also published as:

 WO0115229 (A1)
 US6737748 (B2)
 US2002117759 (A1)

[Report a data error here](#)

Abstract of DE19939852

Stacked vias are produced by introducing metal islands that are referred to as landing pads in order to establish a contact between superimposed stacks. Due to the line shortening effect, said landing pads substantially project laterally over the vias. According to the invention, vias that are located in superimposed layers are off-set laterally. The inventive landing pad is substantially configured as a track that extends between the vias. The contact surfaces provided at the end of the track can be chosen smaller than the square contact surfaces of conventional metal islands since the line shortening effect is less critical for longer tracks. The inventive structures save space and can be more easily accommodated in a circuit layout to be miniaturized, thereby resulting in an increased shrink factor of the semiconductor structure.



Data supplied from the **esp@cenet** database - Worldwide



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 199 39 852 A 1**

⑤1 Int. Cl. 7:
H 01 L 23/522
H 01 L 21/768
H 01 L 21/28

②1 Aktenzeichen: 199 39 852.6
②2 Anmeldetag: 23. 8. 1999
④3 Offenlegungstag: 15. 3. 2001

⑦1 Anmelder:
Infineon Technologies AG, 81669 München, DE

⑦4 Vertreter:
Epping, Hermann & Fischer GbR, 80339 München

⑦2 Erfinder:
Bauch, Lothar, Dr., 01259 Dresden, DE; Zell,
Thomas, 01099 Dresden, DE; Lehr, Matthias Uwe,
Dr., 01099 Dresden, DE; Kieslich, Albrecht, Dr.,
01445 Radebeul, DE

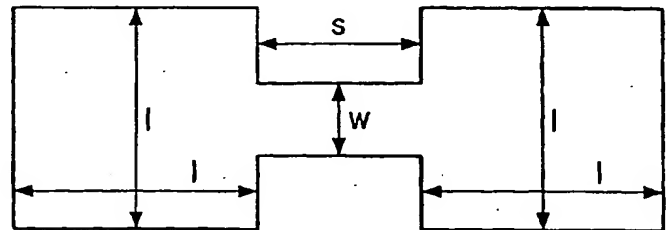
⑤6 Entgegenhaltungen:
US 55 91 673

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Stacked Via mit besonders ausgebildetem Landing Pad für integrierte Halbleiterstrukturen

⑤7 Bei der Herstellung von Stacked Vias werden zur Kontaktierung zwischen übereinander angeordneten Vias als Landing Pads bezeichnete Metallinseln eingebracht, die aufgrund des Line Shortening-Effekts seitlich wesentlich über die Vias hinausragen. Erfindungsgemäß werden in übereinanderliegenden Schichten angeordnete Vias gegeneinander lateral versetzt. Das erfindungsgemäße Landing Pad wird im wesentlichen als zwischen den Vias verlaufende Leitbahn gestaltet. An den Enden der Leitbahn vorgesehene Kontaktflächen müssen aufgrund des für längere Bahnen unkritischeren Line Shortening-Effekts nicht so groß gewählt werden wie die quadratischen Kontaktflächen herkömmlicher Metallinseln und lassen sich daher platzsparender auf einem zu miniaturisierenden Schaltungslayout unterbringen; der Shrinkfaktor einer solchen Halbleiterstruktur erhöht sich.



DE 199 39 852 A 1

Die Erfindung betrifft eine integrierte Halbleiterstruktur mit mindestens einem sich durch mehrere Schichten erstreckenden Kontakt zum elektrischen Kontaktieren von Bereichen der Halbleiterstruktur, wobei der Kontakt in einer ersten Schicht eine erste Kontaktlochfüllung (A) und in einer zweiten Schicht eine zweite Kontaktlochfüllung (C) sowie in einer zwischen der ersten und der zweiten Schicht befindlichen Zwischenschicht eine Zwischenstruktur (B) zum Verbinden der ersten Kontaktlochfüllung mit der zweiten aufweist.

Solche in derartige Schichtenfolgen eingebrachte Kontakte werden als Stacked Via bezeichnet und dienen zum elektrischen Anschließen von unter solchen Strukturen vergrabenen Bereichen durch die darüberliegenden Schichtenfolgen hindurch. Insbesondere bei Mehrlagen-Metallisierungen müssen die Kontakte durch die einzelnen Metalllagen und die dazwischen befindlichen isolierenden Oxidschichten hindurchgeführt werden. Dazu wird nach der Abscheidung jeder Ebene eine lithographisch geformte Öffnung (Via) freigeätzt und anschließend mit einem leitfähigen Material gefüllt. In den zwischen den Oxidschichten befindlichen Metallebenen werden auf ebenfalls lithographischen Wege Metallinseln erzeugt. Diese als Landing Pads bezeichneten Metallinseln dienen zum elektrischen Verbinden des in der darunterliegenden Oxidschicht eingebrachten Vias mit dem über diesem in der nächsten abzuschneidenden Oxidschicht einzubringenden Via. Die auf diese Weise hergestellten Kontaktfolgen aus Vias und Landing Pads sind aufgrund ihrer lithographischen Herstellungsweise anfällig für Fehleinstellungen vor allem bei der Maskenbelichtung. Hauptsächlich eine falsche Einstellung des Steppers, eine Defokussierung, eine falsche Belichtungs-dosis und der je nach Belichtungsfeldgröße unterschiedlich große Abstand äußerer Strukturen von der optischen Achse der Maskenbelichtung führen zu dem als Line Shortening bekannten Effekt, daß Strukturelemente zu klein und z. B. Linien zu kurz abgebildet werden. Aus diesem Grund werden die Metallinseln zur Via-Kontaktierung größer als eigentlich notwendig dimensioniert, damit auch bei nicht exakt übereinanderliegenden Vias oder bei einem seitlichen Versatz oder zu klein geratener Abmessungen der Metallinsel das Stacked Via dennoch elektrisch leitet.

Bei dem Design des Verlaufs von Metallisierungsbahnen in der Metallebene wird in der Regel ein periodisches Grundraster aus Punkten bzw. Linien zugrundegelegt, die entsprechend den Kanten bzw. Ecken eines Quadrats angeordnet sind. Auf diesem Grundraster werden die Metallinseln, die lediglich in vertikaler Richtung senkrecht zur Metallisierungsebene leiten sollen, als möglichst kleines Quadrat markiert, damit es von benachbarten Punkten des Grundrasters einen möglichst großen Abstand einhält. Angesichts des Line Shortenings jedoch, das bei der quadratischen Metallinsel in beiden Abmessungen kritisch ist, sind der Kontaktverkleinerung enge Grenzen gesetzt. In der Praxis werden Landing Pads nach Abschluß des Layout-Designs noch einmal nachträglich vergrößert. Jedoch ist spätestens dann, wenn das einmal entwickelte Design um einen gewissen Shrink-Faktor verkleinert wird, schnell die Grenze erreicht, bei der durch die Design-Regeln vorgeschriebene minimale Abstand zu benachbarten Metallbahnen unterschritten oder die sichere Kontaktierung übereinander liegender Vias nicht mehr gewährleistet ist.

Ein weiterer Nachteil besteht darin, daß sich Lackstrukturen zum Erzeugen herkömmlicher Landing Pads von dem Untergrund lösen können. Durch mit der Substratfläche größer werdende Fokusschwankungen werden Lackstrukturen

mit schräg geneigten Seitenwänden erzeugt. Insbesondere Lackstrukturen mit nach oben hin zunehmender Querschnittsfläche werden beim Abschleudern leicht von der Metallisierungsschicht gelöst und über das Substrat verstreut.

Es ist die Aufgabe der vorliegenden Erfindung, eine integrierte Halbleiterstruktur bereitzustellen, in denen elektrische Kontakte, die sich durch mehrere Schichten hindurch erstrecken, trotz zunehmender Miniaturisierung mit ausreichender Fehlersicherheit elektrisch leiten, ohne daß durch Design-Regeln vorgeschriebene laterale Abstände unterschritten werden. Es ist ferner Aufgabe der vorliegenden Erfindung, eine derartige Halbleiterstruktur bereitzustellen, die aufgrund ihrer Struktur ohne die oben beschriebene Nachbearbeitung in Form eines nachträglichen Aufblähens von Landing Pads herstellbar ist. Schließlich soll die bereitzustellende Halbleiterstruktur mit geringerem Risiko eines Abplatzens von Lackstrukturen während des Abschleuderns herstellbar sein.

Diese Aufgabe wird gemäß dem Kennzeichen des Anspruchs 1 dadurch gelöst, daß die Zwischenstruktur eine in der Zwischenschicht verlaufende Leitbahn aufweist.

Erfindungsgemäß wird ausgenutzt, daß sich der Effekt des Line Shortenings bei einer Linie weniger stark auswirkt als bei einer kleinen, fast punktförmigen Kontaktfläche. Daher wird auf der Basis des verwendeten Grundrasters kein Punkt, sondern eine Linie als Grundmuster für eine Kontaktfläche ausgewählt, so daß an der Verbindung zwischen Via und Landing Pad nicht zwei Punkte, sondern ein Punkt und eine Linie aufeinander treffen. Erfindungsgemäß werden die Kontaktlochfüllungen in den Oxidschichten oberhalb und unterhalb der Metallisierungsebene aus der Draufsicht betrachtet lateral gegeneinander versetzt angeordnet. Die mit den erfindungsgemäß geformten Landing Pads versehenen Halbleiterstrukturen sind bis zu einem Grade shrinkfähig, bei dem herkömmliche quadratische Metallkontakte nicht mehr fertigungstauglich sind. Da sich das Line Shortening auf die als Leitbahn geformte Metallinsel schwächer auswirkt, kann die herkömmlich eingesetzte Nachbearbeitung nach Abschluß des Layout-Designs entfallen. Die Erfindung hat ferner den Vorteil, daß mehrere nebeneinander verlaufende gestapelte Vias dicht nebeneinander, nämlich in Abstand von je einer Länge des Grundrasters in jeder Ebene verlaufen können, wohingegen herkömmliche quadratische und nachträglich aufgeblähte Metallkontakte aufgrund von Design-Regelverletzungen im Abstand von zwei Grundlängen voneinander oder von weiteren Metallisierungsbahnen verlaufen mußten. Dadurch gibt sich trotz einer Vergrößerung der ursprünglich punktförmigen Kontakte zu Leitbahnen einer Vergrößerung des Shrink-Faktors der gesamten Struktur.

Eine bevorzugte Ausführungsform sieht vor, daß die Leitbahn zwei nächstgelegene Punkte eines periodischen Grundrasters miteinander verbindet.

Eine Weiterbildung der Erfindung sieht vor, daß die Zwischenstruktur an jedem Ende der Leitbahn eine quadratische Kontaktfläche aufweist. Auch bei anders geformten Kontaktflächen an beiden Enden der Leitungsbahn ergibt sich eine in etwa knochenähnlich ausschende Form der Zwischenstruktur bzw. Metallinsel.

Die Metallinsel besteht zweckmäßigerweise aus demselben leitfähigen Material, aus dem auch die Metallisierungsebene besteht. Die Vias in den benachbarten, vorzugsweise oxidischen Schichten enthalten vorzugsweise überwiegend Wolfram.

Eine auf Mehrlagenverdrahtungen gerichtete Weiterbildung der Erfindung sieht vor, daß der ersten und/oder der zweiten Schicht mindestens eine weitere Metallisierungs-

schicht benachbart ist.

Als integrierte Halbleiterstrukturen mit den erfindungsgemäß ausgestalteten Stacked Vias kommen jegliche Halbleiterstrukturen, vorzugsweise jedoch DRAMs, insbesondere Embedded DRAMs, in Betracht.

Die Erfindung wird nachstehend anhand der Fig. 1 bis 3 erläutert.

Fig. 1 zeigt eine Querschnittsansicht eines Modells eines in vorbekannter Weise geformten Stacked Vias vor der Layout-Nachbearbeitung und

Fig. 2 eine Draufsicht auf die darin enthaltene Metallisierungsinselform vor und nach der Layout-Nachbearbeitung.

Fig. 3 zeigt eine Draufsicht auf eine erfindungsgemäß geformte Metallisierungsinselform.

Wie Fig. 1 zeigt, erstreckt sich ein herkömmliches quadratisches Landing Pad um einen Rand der Breite o zu allen vier Seiten über die Abmessungen b am Boden eines Vias hinaus. Das mit einer Abmessung von $l = b + 2o$ ausreichende Abstände zu benachbarten Metallisierungsbahnen während und daher designregelkonformel Landing Pad wird im Rahmen der Layout-Nachbearbeitung entsprechend Fig. 2 vergrößert.

Bei dieser Größe werden zwar die vertikal benachbarten Vias kontaktiert, allerdings sind Kurzschlüsse innerhalb der Metallisierungsebene zu befürchten.

Abb. 3 zeigt ein erfindungsgemäßes Landing Pad in Knochenform, gebildet aus einer Leitbahn der Breite w und der Länge $s + l$, an beiden Enden durch quadratische Endkontakte der Abmessung l verstärkt. Diese Quadrate werden anders als diejenigen in Fig. 2 nicht mehr vergrößert. Aus diesem Grunde gliedert sich die dargestellte Knochenstruktur, obwohl sie zwei Punkte des Grundrasters einnimmt, besser in das Raster-Layout ein und führt auch bei einer nachträglichen Miniaturisierung der Schaltung eine zuverlässigere Via-Kontaktierung als die in Fig. 2 rechts dargestellte aufgeblähte quadratische Metallinsel.

Selbstverständlich liegt es im Rahmen der vorliegenden Erfindung, die erfindungsgemäße Form des Metallkontaktes zu verändern, zu erweitern oder einem veränderten Grundraster anzupassen, so bietet es sich zum Beispiel an, der in Fig. 3 dargestellten Knochenform eine vertikal verlaufende Leitbahn mit abschließender quadratischer Kontaktfläche hinzuzufügen. Auch in diesem Fall nimmt das Landing Pad in jeder Dimension lediglich zwei benachbarte Punkte des Grundrasters ein, wohingegen ein herkömmlich gestaltetes quadratisches und durch Nachbearbeitung vergrößertes Landing Pad in jeder Richtung die Mindestabstände zum benachbarten Punkt des Grundrasters überschreitet und daher effektiv eine Grundfläche von 3 mal 3 Gitterpunkten beansprucht.

Patentansprüche

1. Integrierte Halbleiterstruktur mit mindestens einem sich durch mehrere Schichten erstreckenden Kontakt zum elektrischen Kontaktieren von Bereichen der Halbleiterstruktur, wobei der Kontakt in einer ersten Schicht eine erste Kontaktlochfüllung (A) und in einer zweiten Schicht eine zweite Kontaktlochfüllung (C) sowie in einer zwischen der ersten und der zweiten Schicht befindlichen Zwischenschicht eine Zwischenstruktur (B) zum Verbinden der ersten Kontaktlochfüllung mit der zweiten aufweist, **dadurch gekennzeichnet**, daß die Zwischenstruktur eine in der Zwischenschicht verlaufende Leitbahn (s) aufweist.
2. Integrierte Halbleiterstruktur nach Anspruch 1, dadurch gekennzeichnet, daß die Leitbahn zwei nächstgelegene Punkte eines periodischen Grundrasters miteinander verbindet.

ander verbindet.

3. Integrierte Halbleiterstruktur nach Anspruch 2, dadurch gekennzeichnet, daß die Zwischenstruktur an jedem Ende der Leitbahn eine quadratische Kontaktfläche aufweist.

4. Integrierte Halbleiterstruktur nach Anspruch 3, dadurch gekennzeichnet, daß die Kontaktflächen und die Leitbahn eine knochenähnliche Form der Zwischenstruktur bilden.

5. Integrierte Halbleiterstruktur nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Zwischenschicht eine Metallisierungsebene ist und daß die Zwischenstruktur aus einem leitfähigen Material der Metallisierungsebene besteht.

6. Integrierte Halbleiterstruktur nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die Kontaktlochfüllungen Wolfram enthalten.

7. Integrierte Halbleiterstruktur nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß die erste und die zweite Schicht Oxidschichten sind.

8. Integrierte Halbleiterstruktur nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß der ersten und/oder der zweiten Schicht mindestens eine weitere Metallisierungsschicht benachbart ist.

9. Integrierte Halbleiterstruktur nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß die integrierte Halbleiterstruktur ein Embedded DRAM ist.

Hierzu 1 Seite(n) Zeichnungen

FIG 1

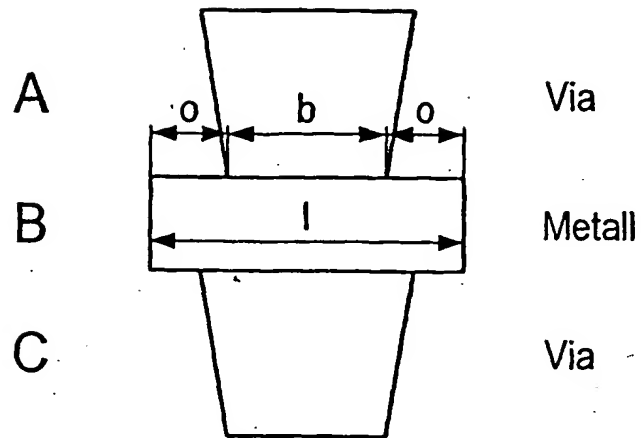


FIG 2

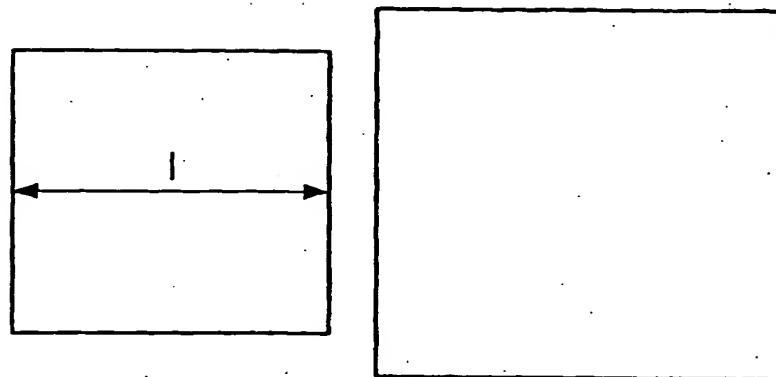


FIG 3

